

⑫ 公開特許公報(A) 昭63-211197

⑬ Int. Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和63年(1988)9月2日
G 11 C 11/34	3 6 2	G-8522-5B	
B 41 J 5/30		Z-7810-2C	
G 06 F 3/12		B-7208-5B ※審査請求 未請求	発明の数 1 (全11頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-42688

⑰ 出 願 昭62(1987)2月27日

⑱ 発 明 者 一 氏 和 夫 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑲ 発 明 者 久 保 基 昌 次 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・アイ
エンジニアリング株式
会社

㉒ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 所定の入出力インタフェース条件に従ってデータ授受を行う二つのデジタル装置の間に設けられ、上記入出力インタフェース条件に従って上記一方のデジタル装置から出力される入力データを受け内蔵する書き込みアドレス指定回路によって順次指定されるアドレスに一時的に格納する入力ポートと、内蔵する読み出しアドレス指定回路によって順次指定されるアドレスから一時格納されるデータを読み出し上記入出力インタフェース条件に従って上記他方のデジタル装置に出力する出力ポートを具備することを特徴する半導体記憶装置。

2. 上記入出力インタフェース条件には、複数ビットからなるデータ信号線と、上記データ信号線を介して伝達されるデータの受信タイミングを指定するデータストロブ信号線及び上記データの

入出力動作が終了したことを知らせるデータ入出力確認信号線を含むことを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記一方のデジタル装置はマイクロコンピュータシステムの中央処理装置であり、上記他方のデジタル装置は印字装置であることを特徴とする特許請求の範囲第1項又は第2項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、マイクロコンピュータシステムの中央処理装置と印字装置(プリンタ)の間に設けられるバッファメモリなどに利用して有効な技術に関するものである。

(従来の技術)

マイクロコンピュータシステムなどに含まれる印字装置には、例えば、米国セトロニクス社のインタフェース仕様に基づいたハンドシェイク方式が頻りに用いられる。

このようなハンドシェイク方式については、例えば、1985年1月、朝倉社発行の「新版情報処理ハンドブック」913頁～914頁に記載されている。

(発明が解決しようとする問題点)

上記に記載されるハンドシェイク方式は、第3図に示されるように、例えば8ビットからなるデータ信号線D0～D7とデータストロブ信号線STB及びデータ入出力確認信号線BSYによって実現される。マイクロコンピュータの中央処理装置は、例えばダイレクトメモリアクセス制御部やI/O制御部などを介して、例えば印字装置等の入出力装置に印字データ等のデータを送る。データ信号線D0～D7には、まずこれらの印字データが送出され、これらの印字データが確立された時点でデータストロブ信号線STBにストロブ信号が送出される。印字装置等の入出力装置は、ストロブ信号の立ち上がりエッジによってデータを取り込み、データ入出力確認信号BSYを論理ハイレベルとする。これにより、中央処理

装置は、印字装置によってデータが取り込まれ所定の印字動作が開始されたことを確認する。データ入出力確認信号BSYは、印字装置において印字動作が終了した後に論理ロウレベルに戻される。したがって、データ入出力確認信号BSYは、入出力装置のビジー(使用中)信号を兼ねる。

ところで、印字装置などの低速入出力機器の動作速度は、マイクロコンピュータの中央処理装置の処理速度に比較して非常に遅い。このため、中央処理装置は低速入出力装置を制御するために割り込み処理などによる時間管理やポーリング処理を行わなくてはならず、その処理負担が大きくなる。これに対処するため、これらの制御処理を専用の入出力制御装置によって行わせるようにすると、インタフェース制御やアドレス管理等のためのハードウェアが大きくなり、システムのコスト上昇の原因となる。

この発明の目的は、インタフェース制御機能を持ち専用バッファメモリとなつる低コストの半導体記憶装置を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかにできるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型RAMなどの半導体記憶装置に、所定のインタフェース条件に従って入力データを受け内蔵する書き込みアドレス指定回路によって順次指定されるアドレスに一時的に格納する入力ポートと、内蔵する読み出しアドレス指定回路によって順次指定されるアドレスから一時格納されるデータを読み出し上記所定の入出力インタフェース条件に従って出力する出力ポートを設けるものである。

(作用)

上記した手段によれば、外部に特別の制御装置を設けることなく、高速動作を行う中央処理装置と印字装置等の低速入出力装置との間で必要なデータバッファリング機能を実現することができる

ため、マイクロコンピュータシステム等の低コスト化と処理能力の向上を図ることができる。

(実施例)

第1図には、この発明が適用されたバッファメモリの一実施例のブロック図が示されている。同図の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような一つの半導体基板上において形成される。

この実施例のバッファメモリは、特に制限されないが、マイクロコンピュータシステムのマイクロプロセッサMPUと印字装置PRTとの間に設けられ、印字データを一時格納する機能を持つ。このため、この実施例のバッファメモリには、ハンドシェイク方式によって伝達される印字データをマイクロプロセッサMPUの処理速度に合わせて高速で取り込む入力ポートと、一旦メモリに格納された印字データを印字装置の動作速度に合わせて低速で読み出す出力ポートが設けられる。印字データを格納した読み出すメモリアドレス

は、バッファメモリに内蔵される書き込みアドレスカウンタ（書き込みアドレス指定回路）WAC及び読み出しアドレスカウンタ（読み出しアドレス指定回路）RACにより、FIFO（First-In First-Out）方式によって指定される。バッファメモリには、書き込みアドレスカウンタWACから出力される書き込みアドレスと読み出しアドレスカウンタRACから出力される読み出しアドレスを比較するためのアドレス比較回路ACが設けられ、両アドレスが異なることによって、自動的に出力ポートの読み出し動作が開始される。また、書き込みアドレスが読み出しアドレスの直前のアドレスになるため、バッファメモリはデータ入出力確認信号BSYを論理ハイレベルのままとし、印字データをさらに格納する余裕がないことをマイクロプロセッサMPUに知らせる。

この実施例のバッファメモリは、特に制限されないが、ダイナミック型RAMを基本構成とすることによって高集積化と低消費電力化が図られ、またシステムの低コスト化が図られる。このため、

バッファメモリにはリフレッシュすべきワード線を順次指定するリフレッシュアドレスカウンタACが設けられ、上記書き込みアドレス信号及び読み出しアドレス信号とこのリフレッシュアドレスカウンタACによって形成されるリフレッシュアドレス信号を択一的に選択するためのアドレス選択回路ASLが設けられる。また、この実施例のバッファメモリには、特に制限されないが、8ビットの印字データD0～D7に対応してそれぞれ8個のメモリアレイム-ARY0～M-ARY7、センスアンプSA0～SA7、カラムスイッチCSW0～CSW7及びメインアンプMA0～MA7が設けられ、これらに共通にそれぞれ1個のロウアドレスデコードRDCR及びカラムアドレスデコードCDCRが設けられる。第1図及び以下の説明には、このうち第1ビット目の印字データD0に対応するメモリアレイム-ARY0、センスアンプSA0、カラムスイッチCSW0及びメインアンプMA0が例示的に示されている。この他の印字データD1～D7に対応するメモリ

アレイ、センスアンプ、カラムスイッチ及びメインアンプは、同様な構成とされる。

第1図において、メモリアレイム-ARY0は、同図の水平方向に配置されるn組の相補データ線と垂直方向に配置されるm本のワード線及びこれらのデータ線とワード線の交点に格子状に配置されるm×n個のダイナミック型メモリセルによって構成される。

メモリアレイム-ARY0の各ワード線は、ロウアドレスデコードRDCRに結合され、そのうちの1本が択一的に選択状態とされる。

ロウアドレスデコードRDCRには、後述するアドレス選択回路ASLから相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}xi$ （ここで、例えば非反転内部アドレス信号 $ax0$ と反転内部アドレス信号 $\bar{a}x0$ を合わせて相補内部アドレス信号 $\bar{a}x0$ と称する。以下同じ）が供給され、タイミング制御回路TCからタイミング信号 ϕx が供給される。ロウアドレスデコードRDCRは、タイミング信号 ϕx が論理ハイレベルとされることによって選択的に動

作状態とされ、上記相補アドレス信号 $\bar{a}x0 \sim \bar{a}xi$ をデコードして指定される1本のワード線をハイレベルの選択状態とする。

一方、メモリアレイム-ARY0の各相補データ線は、その一方において、センスアンプSA0の対応する単位回路に結合される。センスアンプSA0のn個の単位回路は、後述するタイミング制御回路TCから供給されるタイミング信号 ϕpa によって選択的に動作状態とされる。これらの単位回路は、選択されたワード線に結合されるn個のメモリセルから対応するデータ線を介して出力される微小読み出し信号を増幅し、ハイレベル又はロウレベルの2値信号とする。

各相補データ線は、その他方において、カラムスイッチCSW0の対応するスイッチMOSFET対に結合される。カラムスイッチCSW0のn対のスイッチMOSFET対の他方は、相補共通データ線CD0・CD0に共通に結合される。また、これらのスイッチMOSFET対のゲートはそれぞれ共通接続され、カラムアドレスデコード

CDCRから対応するデータ線選択信号が供給される。これにより、カラムスイッチCSW0は、カラムアドレスデコードCDCRから供給されるデータ線選択信号に従って一組の相補データ線を選択し、相補共通データ線CD0・CD0に接続する。

カラムアドレスデコードCDCRには、アドレス選択回路ASLから相補内部アドレス信号 \bar{a}_y 0～ \bar{a}_y jが供給され、タイミング制御回路TCからタイミング信号 ϕ_y が供給される。カラムアドレスデコードCDCRは、タイミング信号 ϕ_y が論理ハイレベルとされることによって選択的に動作状態とされ、相補内部アドレス信号 \bar{a}_y 0～ \bar{a}_y jをデコードしてデータ線選択信号を択一的に形成し、カラムスイッチCSW0～CSW7に供給する。

相補共通データ線CD0・CD0は、対応するメインアンプMA0に結合される。このメインアンプMA0には、データ入力バッファDIBから対応する書き込みデータdi0が供給されると

もに、後述するタイミング制御回路TCからタイミング信号 ϕ_{aa} が供給される。また、メインアンプMA0の出力信号は、読み出しデータdo0としてデータ出力バッファDOBの対応するビットに供給される。メインアンプMA0は、タイミング信号 ϕ_{aa} に従って選択的に動作状態とされ、選択されたメモリセルから対応する相補データ線及び相補共通データ線CD0・CD0を介して伝達される読み出し2値信号をさらに増幅し、データ出力バッファDOBの対応するビットに送る。データ入力バッファDIBから書き込みデータdi0が供給される場合、メインアンプMA0はこの書き込みデータdi0を相補書き込み信号とし、相補共通データ線CD0・CD0に伝達する。

データ入力バッファDIBは、印字データD0～D7に対応して設けられる8個の入力回路を含む。これらの入力回路は、タイミング制御回路TCから供給されるタイミング信号 ϕ_w の論理ハイレベルによって選択的に動作状態とされ、データ入力信号線D0A～D7Aを介してマイクロプロ

セッサMPUから供給される印字データを、書き込みデータdi0～di7として対応するメインアンプMA0～MA7に伝達する。タイミング信号 ϕ_w が論理ロウレベルとされるとき、データ入力バッファDIBの入力回路の出力はすべてハイインピーダンス状態となる。

データ出力バッファDOBは、同様に印字データD0～D7に対応して設けられる8個のデータラッチと出力回路を含む。データ出力バッファDOBには、タイミング制御回路TCからタイミング信号 ϕ_r が供給される。データ出力バッファDOBのデータラッチは、タイミング信号 ϕ_r の論理ハイレベルへの立ち上がりエッジによって対応するメインアンプMA0～MA7から送られる読み出しデータdo0～do7を取り込み、保持する。これらのデータラッチに保持される読み出しデータは、対応する出力回路からデータ出力信号線D0B～D7Bを介して、印字装置PRTに送られる。データ出力バッファDOBのデータラッチに保持される読み出しデータは、印字装置P

RTによってデータ入出力確認信号BSYが論理ロウレベルに戻されることによってクリアされ、同時に出力回路の出力がハイインピーダンス状態とされる。

書き込みアドレスカウンタWACは、タイミング制御回路TCから供給されるタイミング信号 ϕ_{wc} によって歩進動作を行い、書き込みアドレスを順次指定する。この書き込みアドレスカウンタWACによって形成されるh+1ビットの書き込みアドレス信号aw0～awhは、アドレス選択回路ASLの対応するビットの第1入力端子に供給されるとともに、アドレス比較回路ACの対応するビットの第1入力端子に供給される。

読み出しアドレスカウンタRACは、タイミング制御回路TCから供給されるタイミング信号 ϕ_{rc} によって歩進動作を行い、読み出しアドレスを順次指定する。この読み出しアドレスカウンタRACによって形成されるh+1ビットの読み出しアドレス信号ar0～arhは、アドレス選択回路ASLの対応するビットの第2入力端子に供給

されるとともに、アドレス比較回路ACの対応するビットの第2入力端子に供給される。

リフレッシュアドレスカウンタFACは、タイミング制御回路TCから供給されるタイミング信号φfcによって歩進動作を行い、リフレッシュすべきワード線のアドレスを順次指定する。このリフレッシュアドレスカウンタFACによって形成されるi+1ビットのリフレッシュアドレス信号a f 0 ~ a f i は、アドレス選択回路ASLの対応するビットの第3入力端子に供給される。

ここで、書き込みアドレスカウンタWAC及び読み出しアドレスカウンタRACによって形成されるアドレス信号のビット数h+1は、上記相補内部アドレス信号a x 0 ~ a x i とリフレッシュアドレス信号a f 0 ~ a f i のビット数i+1及び相補内部アドレス信号a y 0 ~ a y j のビット数j+1と、

$$h+1 = (i+1) + (j+1)$$

の関係にある。すなわち、書き込みアドレスカウンタWAC及び読み出しアドレスカウンタRAC

によって形成される書き込みアドレス信号及び読み出しアドレス信号の一部が、メモリアレイのワード線を指定するための相補内部アドレス信号a x 0 ~ a x i とされ、残りの一部が、相補データ線を指定するための相補内部アドレス信号a y 0 ~ a y j とされる。また、リフレッシュアドレスカウンタFACによって形成されるリフレッシュアドレス信号a f 0 ~ a f i は、そのまま相補内部アドレス信号a x 0 ~ a x i に対応される。

アドレス選択回路ASLには、各ビットに対応して上記のアドレス信号が供給されるときに、タイミング制御回路TCから内部制御信号r/w及び内部制御信号r e f が供給される。アドレス選択回路ASLは、内部制御信号r/w及びr e f に従って、書き込みアドレス信号a w 0 ~ a w h、読み出しアドレス信号a r 0 ~ a r h又はリフレッシュアドレス信号a f 0 ~ a f i を択一的に選択し、相補内部アドレス信号a x 0 ~ a x i 及びa y 0 ~ a y j としてロウアドレスデコーダRDCR及びコラムアドレスデコーダDCRに

供給する。すなわち、内部制御信号r e f が論理ロウレベルとされ内部制御信号r/wが論理ハイレベルとされる書き込み動作モードにおいて、書き込みアドレス信号a w 0 ~ a w hを選択する。また、内部制御信号r e f 及びr/wがともに論理ロウレベルとされる読み出し動作モードにおいて、読み出しアドレス信号a r 0 ~ a r hを選択する。内部制御信号r e f が論理ハイレベルとされるリフレッシュ動作モードにおいて、内部制御信号r/wに関係なくリフレッシュアドレス信号a f 0 ~ a f i を選択する。このリフレッシュアドレス信号a f 0 ~ a f i が選択される時、相補内部アドレス信号a y 0 ~ a y j はドントケアとなる。

アドレス比較回路ACには、前述のように、各ビットに対応して上記書き込みアドレス信号a w 0 ~ a w h及び読み出しアドレス信号a r 0 ~ a r hがそれぞれ供給される。アドレス比較回路ACは、これらの書き込みアドレス信号と読み出しアドレス信号をビットごとに比較し、アドレスエ

ンビティ信号a e 及びアドレスフル信号a f を形成する。すなわち、アドレス比較回路ACは、書き込みアドレスと読み出しアドレスが全ビット一致するとき、アドレスエンビティ信号a e を論理ハイレベルとする。また、書き込みアドレスが読み出しアドレスの直前のアドレスとなったとき、アドレスフル信号a f を論理ハイレベルとする。つまり、アドレスエンビティ信号a e は、FIFO形態とされるバッファメモリから一時格納される印字データがすべて読み出され、印字装置PRTに転送するべき印字データ残されていないときに論理ハイレベルとされる。また、アドレスフル信号a f はバッファメモリの全アドレスに印字データが格納され、バッファメモリに次の印字データを格納する余裕がなくなったときに論理ハイレベルとされる。

タイミング制御回路TCは、マイクロプロセッサMPUから供給されるデータストローブ信号S T B Aに従って、印字データの書き込み動作モードを開始し、これに必要な上記各種のタイミング

信号を形成する。また、このとき、印字データの書き込み動作が終了した時点で、データ入出力確認信号BSYAを論理ハイレベルとし、マイクロプロセッサMPUに印字データの取り込みが終了したことを知らせる。印字データの書き込み動作が終了すると、自動的に読み出し動作モードを開始し、これに必要な上記各種のタイミング信号を形成する。また、読み出し動作が終了し印字データがデータ出力バッファDOBに取り込まれた時点で、印字装置PRTに対するデータストローブ信号STBBを論理ロウレベルとする。これにより、印字装置PRTは、データ出力信号線D0B~D7Bを介して供給される印字データを取り込み、印字動作を開始する。このとき、印字装置PRTはデータ入出力確認信号BSYを論理ハイレベルとし、バッファメモリに次の書き込み動作が開始できることを知らせる。また、印字装置PRTは、印字動作が終了した時点でデータ入出力確認信号BSYを論理ロウレベルに戻し、バッファメモリに次の読み出し動作が開始できることを知

らせる。

この実施例のバッファメモリの入力ポートは、上記データ入力バッファDIBと書き込みアドレスカウンタWAC及びタイミング制御回路TCの一部を含むものである。また、この実施例のバッファメモリの出力ポートは、上記データ出力バッファDOBと読み出しアドレスカウンタRAC及びタイミング制御回路TCの他の一部を含むものである。

特に制限されないが、この実施例のバッファメモリは高速動作を行うマイクロプロセッサMPUと低速動作を行う印字装置PRTとの間に設けられるため、マイクロプロセッサMPUによる印字データの書き込み動作はバーストモードによって連続的に行われる。また、書き込み動作が連続して行われる間に印字装置PRTからの読み出し動作の要求があった場合、実行中の書き込み動作モードが終了した時点で連続書き込み動作を中断し、印字装置PRTに対する読み出し動作モードを実行する。前述のように、読み出し動作モード

によって読み出された印字データがデータ出力バッファDOBに取り込まれデータストローブ信号STBBによって印字装置PRTが印字データを取り込んだ時点で、バッファメモリは次の書き込み動作モードを開始することができる。このため、読み出し動作モードによる連続書き込み動作の中断時間は、印字装置PRTの動作速度に関係なく、短いものとなる。

第2図には、この実施例のバッファメモリの一実施例のタイミング図が示されている。同図により、このバッファメモリの書き込み動作モード及び読み出し動作モードの概要を説明する。

第2図において、バッファメモリは当初休止状態にあり、書き込みアドレス信号aw0~awh及び読み出しアドレス信号ar0~arhはそれぞれ同一のアドレスpを指定している。このため、アドレスエンビティ信号aeが論理ハイレベルとなり、バッファメモリに出力すべき印字データが格納されていないことが表示される。

バッファメモリは、マイクロプロセッサMPU

から送られるデータストローブ信号STBAが論理ハイレベルから論理ロウレベルに変化されることによって起動され、最初の書き込み動作モードを開始する。マイクロプロセッサMPUは、このデータストローブ信号STBAを立ち下げる前に、データ入力信号線D0A~D7Aに8ビットの印字データDpを送出する。

バッファメモリでは、データストローブ信号STBAの立ち下がりエッジによってタイミング信号φxが論理ハイレベルとされ、ワード線の選択動作が開始される。このとき、内部制御信号refが論理ロウレベルとされまた内部制御信号rwが論理ハイレベルとされるため、アドレス選択回路ASLでは書き込みアドレスカウンタWACによって形成される書き込みアドレス信号aw0~awh(アドレスp)が選択される。次に、タイミング信号φxにやや遅れてタイミング信号φpaが論理ハイレベルとされ、センスアンプSA0の単位回路が一齐に動作状態とされる。これにより、ワード線選択動作によって選択されたn個の

メモリエルの読み出し信号が、対応する相補データ線に確立される。この時点で、バッファメモリではタイミング信号 ϕ_y が論理ハイレベルとされ、データ線の選択動作が開始される。さらに、このデータ線の選択動作が終了した時点で、タイミング信号 ϕ_w が所定の時間だけ論理ハイレベルとされる。これにより、データ入力信号線 $D0 \sim D7$ を介して供給される8ビットの印字データ Dp が、データ出力バッファ DOB から対応するメインアンプ $MA0 \sim MA7$ 、相補共通データ線 $CD0 \sim CD7$ 、 $\overline{CD0} \sim \overline{CD7}$ 及びカラムスイッチ $CSW0 \sim CSW7$ を介して、対応するメモリアレイ $M-ARY0 \sim M-ARY7$ のアドレス p のメモリエルに書き込まれる。

書き込み動作が終了したタイミング信号 ϕ_w が論理ロウレベルになると、バッファメモリはデータ入出力確認信号 $BSYA$ を論理ハイレベルとし、マイクロプロセッサ MPU に印字データの取り込みが終了したことを知らせる。また、バッファメモリでは、タイミング信号 ϕ_w が所定時間だけ論

る。

上述の書き込み動作モードが終了し、バッファメモリのすべての内部制御信号及びタイミング信号が論理ロウレベルに戻されることでデータ入出力確認信号 $BSYA$ が論理ロウレベルになると、バッファメモリは自動的に読み出し動作モードを開始する。すなわち、バッファメモリでは、タイミング信号 ϕ_x が論理ハイレベルとされ、ワード線の選択動作が再開される。このとき、内部制御信号 ref 及び r/w はともに論理ロウレベルとされるため、アドレス選択回路 ASL では読み出しアドレスカウンタ RAC によって形成される読み出しアドレス信号 $a_r0 \sim a_rh$ (アドレス p)が選択される。次に、タイミング信号 ϕ_x にやや遅れてタイミング信号 ϕ_{pa} が論理ハイレベルとされ、センスアンプ $SA0$ の単位回路が一斉に動作状態とされる。これにより、ワード線選択動作によって選択された n 個のメモリエルの読み出し信号が、対応する相補データ線に確立される。この時点で、バッファメモリではタイミング信号 ϕ

理ハイレベルとされ、書き込みアドレスカウンタ WAC がアドレス $p+1$ に歩進される。これにより、アドレスエンピティ信号 a_e が論理ロウレベルとなり、引き続き読み出し動作が必要であることが表示される。

マイクロプロセッサ MPU から送られるデータストローブ信号 $STBA$ が論理ハイレベルに戻されると、バッファメモリでは内部制御信号 r/w 、タイミング信号 ϕ_x 、 ϕ_{pa} 及び ϕ_y が論理ロウレベルとされ、これらの内部制御信号及びタイミング信号がすべて論理ロウレベルとなったことを確認してデータ入出力確認信号 $BSYA$ が論理ロウレベルとなる。これにより、バッファメモリは次の読み出し動作に移る。また、マイクロプロセッサ MPU は、引き続き出力すべき印字データがある場合、次の書き込み動作モードを開始するためにデータストローブ信号 $STBA$ を再び論理ロウレベルとする。このとき、実際にはバッファメモリにおいて読み出し動作モードが開始されるため、マイクロプロセッサ MPU は待機状態とされ

y が論理ハイレベルとされ、データ線の選択動作が開始される。このタイミング信号 ϕ_y にやや遅れて、タイミング信号 ϕ_{sa} が論理ハイレベルとされ、さらにやや遅れてタイミング信号 ϕ_r が所定の時間だけ論理ハイレベルとされる。これにより、選択されたメモリエルから読み出された8ビットの印字データ Dp が、それぞれ対応するメモリアレイの対応する相補データ線から対応するカラムスイッチ $CSW0 \sim CSW7$ 、相補共通データ線 $CD0 \sim CD7$ 、 $\overline{CD0} \sim \overline{CD7}$ 及びメインアンプ $MA0 \sim MA7$ を介して、データ出力バッファ DOB の対応するビットに取り込まれる。

バッファメモリのタイミング制御回路 TC では、タイミング信号 ϕ_r が論理ロウレベルに戻されることによってデータストローブ信号 $STBA$ が論理ロウレベルとされ、印字装置 PRT に対して印字データ Dp の入力指示が行われる。また、タイミング信号 ϕ_{rc} が所定の時間だけ論理ハイレベルとされ、読み出しアドレスカウンタ RAC がアドレス $p+1$ に歩進される。これにより、アドレス

比較回路A Cのアドレスエンピティ信号a eが論理ハイレベルとなり、バッファメモリに引き続いて読み出すべき印字データが格納されていないことを表示する。

印字装置P R Tでは、データストロブ信号S T B Bの立ち下がりに従って、バッファメモリのデータ出力バッファD O Bからデータ出力信号線D O B〜D T Bを介して供給される印字データD pが取り込まれる。また、これらの印字データが印字装置P R Tの入力バッファに取り込まれた時点で、データ入出力確認信号B S Y Bが論理ハイレベルとされる。これにより、マイクロプロセッサM P Uから要求があった場合すなわち配線読み出し動作モードが実行されている間にデータストロブ信号S T B Aが論理ロウレベルとされた場合、次の書き込み動作モードが開始される。マイクロプロセッサM P Uから要求がない場合すなわちデータストロブ信号S T B Aが論理ハイレベルのままである場合、バッファメモリは印字装置P R Tによりデータ入出力確認信号B S Y Bが論

理ロウレベルとされるまで、待機状態となる。

印字データD pの印字動作が終了すると、印字装置P R Tはデータ入出力確認信号B S Y Bを論理ロウレベルに戻し、印字動作が終了したことをバッファメモリに知らせる。このとき、バッファメモリ内に引き続いて印字装置P R Tに出力すべき印字データが格納されている場合すなわちアドレスエンピティ信号a eが引き続いて論理ロウレベルである場合、バッファメモリは次の読み出し動作モードを開始する。このときアドレスエンピティ信号a eが論理ハイレベルであると、バッファメモリは待機状態となる。

以上のように、この実施例のバッファメモリには、所定のハンドシェイク方式のインタフェース条件に従ってマイクロプロセッサM P Uから送られる印字データを高速度で取り込み一時的に格納する入力ポートと、一時格納される印字データを読み出し同一のインタフェース条件に従って低速度の印字装置P R Tに送る出力ポートが設けられる。これらの印字データを格納しまた読み出すア

ドレスは、内蔵される書き込みアドレスカウンタW A C及び読み出しアドレスカウンタR A Cによって自律的に順次指定される。また、書き込みアドレスカウンタW A C及び読み出しアドレスカウンタR A Cによって形成される書き込みアドレス信号及び読み出しアドレス信号を比較・照合することによって、アドレスエンピティ信号a e及びアドレスフル信号a fが形成され、これらの信号に従って読み出し動作が自動的に開始された新しい印字データの書き込み動作が制限される。これらのことから、マイクロプロセッサM P Uは低速度の印字装置P R Tの動作状態を意識することなく印字データを高速度で連続転送することが可能となり、システム全体としてその処理能力が増大する。

以上の本実施例に示されるように、この発明をマイクロコンピュータシステムのマイクロプロセッサと印字装置との間に設けられるバッファメモリに適用した場合、次のような効果が得られる。すなわち、

(1)ダイナミック型R A Mなどの半導体記憶装置に、所定のインタフェース条件に従って入力データを受け内蔵する書き込みアドレス指定回路によって順次指定されるアドレスに一時的に格納する入力ポートと、内蔵する読み出しアドレス指定回路によって順次指定されるアドレスから一時格納されるデータを読み出し上記インタフェース条件に従って出力する出力ポートを設けることで、異なるデータレートを持つ二つのデジタル機器の間で授受されるデータのバッファリング機能を実現できるという効果が得られる。

例上記(1)項の半導体記憶装置をマイクロコンピュータシステムなどの中央処理装置と印字装置との間に設けられるバッファメモリとして用いることで、その外部に特別な制御装置を設けることなくかつ中央処理装置の高速度処理を妨げることなく、印字装置などの低速入出力機器を制御できるという効果が得られる。

例上記(1)項及び四項により、印字装置などの低速入出力機器を含むマイクロコンピュータシステム

などの低コスト化と処理能力の向上を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の書き込みアドレスカウンタWAC、読み出しアドレスカウンタRAC及びリフレッシュアドレスカウンタFACはバイナリカウンタでなく、シフトレジスタを用いたアドレスポイントであってもよい。また、この実施例のバッファメモリでは、書き込み動作が終了した時点でデータ入出力確認信号BSYAを論理ハイレベルとしているが、データ入力バッファDIBにデータラッチを設けることが許されるならば、このデータラッチに印字データを取り込んだ時点でデータ入出力確認信号BSYAを論理ハイレベルとすることもよい。これにより、マイクロプロセッサMPUの待ち時間はさらに短くなる。この実施例のバッファメモリでは、ダイナミック型R

AMを基本構成としているが、スタティック型RAMやその他の半導体記憶装置を基本構成とすることもよい。また、メモリ自体を同時にアクセス可能な二つのポートを持つデュアルポートRAMとすることで、マイクロプロセッサMPU及び印字装置がリアルタイムでアクセスできるようにしてもよい。この実施例では、バッファメモリは直接マイクロプロセッサMPUに接続されるものとしているが、例えばダイレクトメモリアccess制御装置や入出力制御装置を介してマイクロプロセッサMPUに接続されるものであってもよい。さらに、第1図に示したバッファメモリのブロック構成やアドレス信号及び制御信号の組み合わせ等、種々の実施形態を採りうるものである。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータシステムのマイクロプロセッサと印字装置との間に設けられるバッファメモリに適用した場合について説明したが、それに限定されるものではなく、例えばマイクロプロセッサと

他の各種の入出力機器又は通信制御装置の間に設けられるバッファメモリなどにも適用できる。本発明は、少なくとも異なるデータレートを持ち非同期的に動作する二つのデジタル装置の間に設けられるバッファメモリとして用いられる半導体記憶装置及びこのような半導体記憶装置を含むデジタル装置に広く適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、ダイナミック型RAMなどの半導体記憶装置に、所定のインタフェース条件に従って入力データを受け内蔵する書き込みアドレス指定回路によって順次指定されるアドレスに一時的に格納する入力ポートと、内蔵する読み出しアドレス指定回路によって順次指定されるアドレスから一時格納されるデータを読み出し上記インタフェース条件に従って出力する出力ポートを設けることで、中央処理装置の高速処理を妨げることなく印字装置等の低速入出力機器を

制御することができ、このような低速入出力機器を含むマイクロコンピュータシステム等の低コスト化と処理能力の向上を図ることができるものである。

4. 図面の簡単な説明

第1図は、この発明が適用されたバッファメモリの一実施例を示すブロック図、

第2図は、第1図のバッファメモリの書き込み動作モード及び読み出し動作モードの一実施例を示すタイミング図、

第3図は、第1図のバッファメモリに用いられるハンドシェイク方式の基本的なインタフェース条件を示すタイミング図である。

M-ARY0・・・メモリアレイ、SA0・・・センスアンプ、CSW0・・・カラムスイッチ、RD CR・・・ロウアドレスデコード、CD CR・・・カラムアドレスデコード、ASL・・・アドレス選択回路、AC・・・アドレス比較回路、WAC・・・書き込みアドレスカウンタ、RAC・・・読み出しアドレスカウンタ、FAC・・・

第1頁の続き

@Int.Cl.⁴

G 06 F 13/38
G 06 K 15/00

識別記号

3 1 0

庁内整理番号

Z-8840-5B
7208-5B

②発 明 者 望 月 俊 男 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内